

Steep edge time-delay relay

Patent number: CN1231081
Publication date: 1999-10-08
Inventor: BASSE P-W VON (DE); THEWES R (DE); SCHMITT-LANDSIEDEL D (DE)
Applicant: SIEMENS AG (DE)
Classification:
- international: H03K5/13; H03K5/13; (IPC1-7): H03K5/13
- european: H03K5/13D2
Application number: CN19971098025 19970820
Priority number(s): DE19961038163 19960918

Also published as:

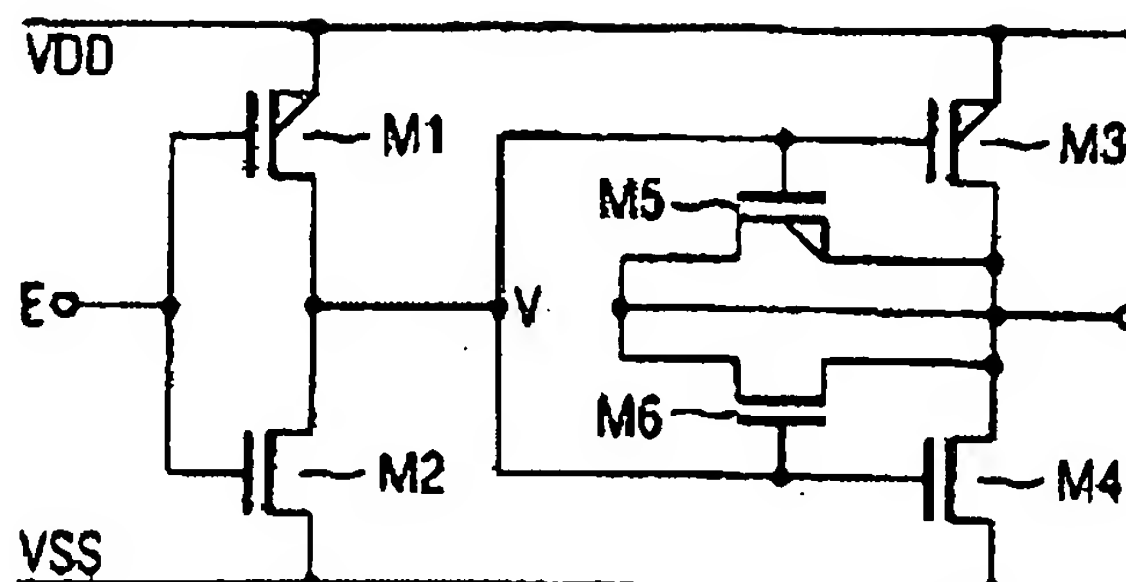
WO9812812 (A1)
EP0927460 (A1)
US6181183 (B1)
EP0927460 (A0)
EP0927460 (B1)

more >>

Report a data error here

Abstract not available for CN1231081
Abstract of correspondent: US6181183

A circuit with a delay stage formed by an inverter having high-impedance transistors and, connected in series therewith, an inverter having low-impedance transistors. MOS capacitors are provided between the gates of the transistors of the low-impedance inverter and the output of the delay stage. By means of this circuit, delay stages with steep edges can be realized with comparatively less outlay on components.



Data supplied from the esp@conet database - Worldwide

[19]中华人民共和国国家知识产权局

[51]Int. Cl.

F03K 5/13

[12] 发明专利申请公开说明书

[21] 申请号 97198025.X

[43] 公开日 1999 年 10 月 6 日

[11] 公开号 CN 1231081A

[22] 申请日 97.8.20 [21] 申请号 97198025.X

[30] 优先权

[32] 96.9.18 [33] EP [31] 19638163.0

[86] 国际申请 PCT/DE97/01802 97.8.20

[87] 国际公布 WO98/12812 德 98.3.26

[85] 进入国家阶段日期 99.3.18

[71] 申请人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 P·W·范巴瑟 R·特维新

M·波鲁

D·施米特-兰德斯德尔

[74] 专利代理机构 中国专利代理(香港)有限公司

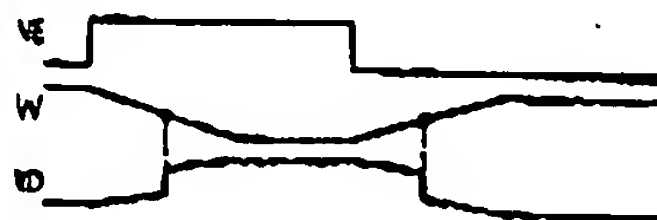
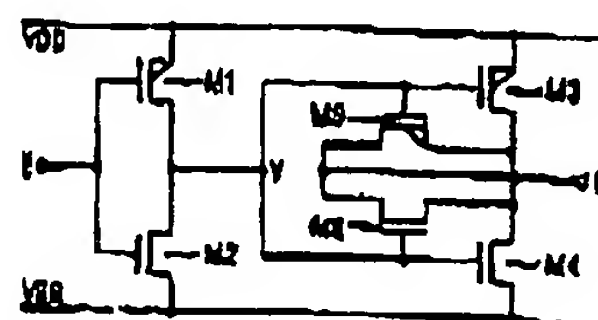
代理人 马铁良 王忠忠

权利要求书 1 页 说明书 2 页 附图页数 1 页

[54] 发明名称 具有陡峭边沿的延迟级

[57] 摘要

本发明涉及了一个由带有高阻抗晶体管的反相器(M1, M2)和一个与其串联的带有低阻抗晶体管(M3, M4)的反相器组成的延迟级, 在这个延迟级里在低阻抗反相器的晶体管的栅极和延迟级的输出端 D 之间含有一个 MOS 电容。通过这个电路带有陡峭边沿的延迟级能够以相对少量的器件费用被实现。



ISSN 1008-4274

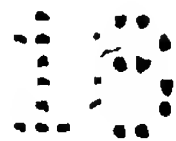


权 利 要 求 书

1. 延迟级, 其中, 第一个反相器 (M1, M2) 和第二个反相器 (M3, M4) 被串联起来, 第一反相器的输入端与延迟级的输入端 (E) 相对应, 而第二反相器的输出端与延迟级的输出端 (D) 相对应,

5 并且在第二反相器的P型沟道MOS晶体管 (M3) 的栅极和延迟级的输出端之间含有一个作为电容连接的P型沟道MOS晶体管M5, 而在延迟级的输出端和第二反相器的n型沟道MOS晶体管的栅极之间含有一个作为电容的n型沟道晶体管M6.

10 2. 延迟级, 其中, 第一反相器的MOS晶体管 (M1, M2) 在导电状态时其阻抗要远大于第二反相器MOS晶体管 (M3, M4) 的阻抗.



说明书

具有陡峭边沿的延迟级

在逻辑电路中延迟边沿常常被用来控制顺序过程。但是在延迟的同时也带来了边沿陡峭性的降低或边沿的慢化或者这个延迟必须通过大量的简单电路，例如通过串联反相器，来实现。解决这种问题的方法举例来说可以描述成一个带有RC环节或积分电路和串接的史密特触发器的串联电路。缺点是这样的电路相对比较昂贵。

这里提出的基于本发明的任务如下，提供了一个具有陡峭边沿的而且只需少量的电路费用的延迟级。依据本发明利用权利要求1的特征解决了这个任务。本发明有利的设计在从属权利要求中给出。

本发明借助附图进行详细的解释，图示出了：

图1 依照本发明的延迟级的电路图，

图2 解释图1所描述电路的电压/电压波形图，

图3 解释图1所给出电路的电压时序波形图。

在图1中描述了带有两个反相器和两个电容的延迟级。在输入边延迟级的输入端E相连的第一反相器显示了一个P型沟道-MOS-晶体管M1和一个N型沟道-晶体管M2，这两个晶体管以有利的方式被设计成很窄很长，以便于在导电状态时仅能通过很小电流或处于高阻抗状态。晶体管M1的第一个连接点是和电源电压VDD相连而第二个连接点是和第一个反相器的输出端V相联接的。相应的晶体管M2的第一个连接点是和输出端V而第二个连接点是和参考电位VSS相联接。第二个反相器显示了一个P型沟道-MOS-晶体管M3和一个n型沟道-MOS-晶体管M4，这两个晶体管在导电状态时相对没有阻抗。在有利的方式下晶体管M1和M2在导电状态时其阻抗应该至少比晶体管M3和M4高10个数量级。

晶体管M3和M4的两个栅极是和第一个反相级的输出端V相联接并构成第二个反相级的输入端。晶体管M3的第一个连接点和电源电压VDD相连而晶体管M3的第二个连接点和延迟级的输出端D相连。相应的晶体管M4的第一个输入端和输出端D相连而晶体管M4的第二个连接点是和参考电位VSS相连。第一个电容器处在输出端D和晶体管M3的栅极之间而第二个电容器是处于输出端D和晶体管M4的栅极之间，这里第一个电容器是由MOS-晶体管M5形成，M5的栅极是和M3的栅极相连而其源极和漏



极是和输出端D相连, 第二个电容器是由N型沟道-MOS-晶体管M6形成, M6的栅极是和晶体管M4的栅极相连而其源极和漏极是和连接点D相连。

一旦在栅极和源极之间的电压比晶体管M5或M6的阈值电压大了, 这个主要地由晶体管M5和M6构造的电容器的电容就通过栅极和沟道之间的电容形成。一旦在第一反相器的输出端V和第二反相器输出端D之间的电压比阈值 V_{tn} 为正时, 晶体管M6就形成一个沟道以及一个基于此沟道的大电容。在阈值之下这个沟道是不存在的而且只产生很小的寄生电容。相应的这种情况也适用于由晶体管M5构造的第二个电容。当在输出端V和输出端D之间的电压比晶体管M5的阈值为负时, 在晶体管M5中才产生一个沟道。在下面这个中间范围时, 即输出端V的电压 V_V 和输出端D的电压 V_D 之间的差动电压小于或等于n沟道晶体管M6的阈值 V_{tn} 而大于或等于P型沟道晶体管M5的阈值 V_{tp} , 在通过晶体管M5和M6构造的电容器中只产生相当小的寄生电容。

这个中间范围是作为电容间隙被描述的而且在图2中用字母A和B标出了它的区域边界。在图2中电压 V_D 和电压 V_V 总是在零和 V_{DD} 之间分别在纵坐标和在横坐标上被标出, 在这里对于小的 V_V 值电压 V_D 出现一个接近于 V_{DD} 的值而对于大的 V_V 值电压 V_D 有一个接近于零的值。在电压范围 $V_{tn} < V_V < V_{DD} - V_{tt}$ 中出现的是S形式的过渡, 这个过渡包含上述在A和B之间的区域。

在这个所谓的电容间隙之外由于有较大电容这个依照本发明的延迟级的延迟相对很大而且在这里在输出端D上的边沿陡峭性相对较小。相反在电容间隙内部这个延迟级的延迟小而在输出端D上的边沿陡峭性相对较大。这个陡峭的过程直接位于反相器的转换区里, 这样下一个反相器就可以和陡峭的边沿连接。这个延迟和平整的边沿是在CMOS电路转换区之外而对它没有干扰。

在图3中同时的相互联系的描述了输入端E的输入电压 V_E , 第一反相器输出端V上的电压 V_V 和延迟级的输出端D上的电压 V_D 的方波波形。这里清楚的表明, 电压 V_V 在电压 V_E 的上升沿后相对的慢慢下降而在电压 V_E 的下降沿后又相对的慢慢上升。在电压 V_V 缓慢下降和缓慢上升区域的中间区域里电压 V_D 的陡峭上升和陡峭下降出现在输出端D。

18

说明书附图

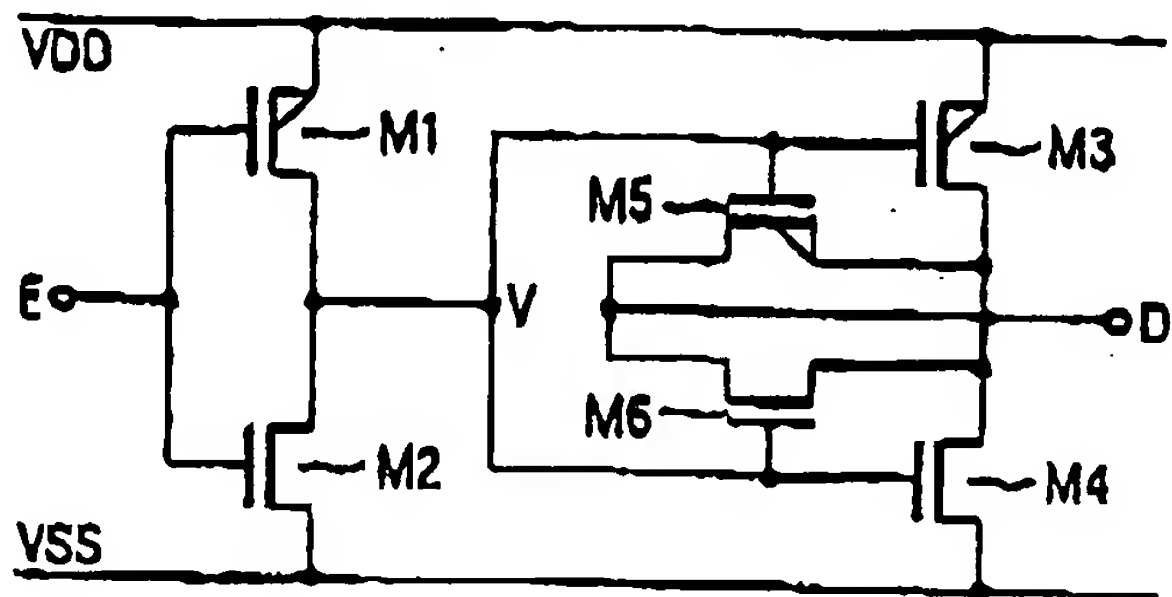


图 1

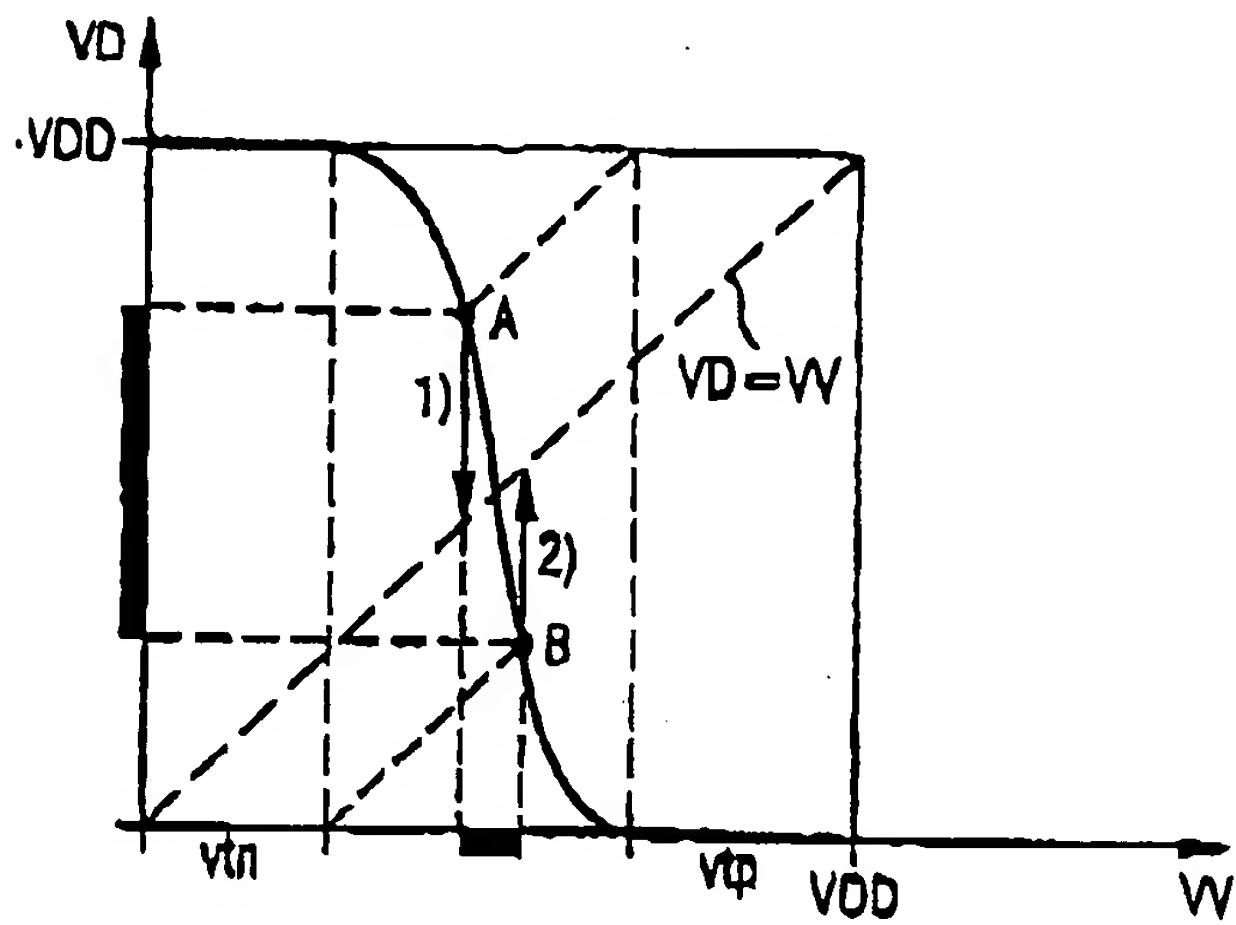


图 2

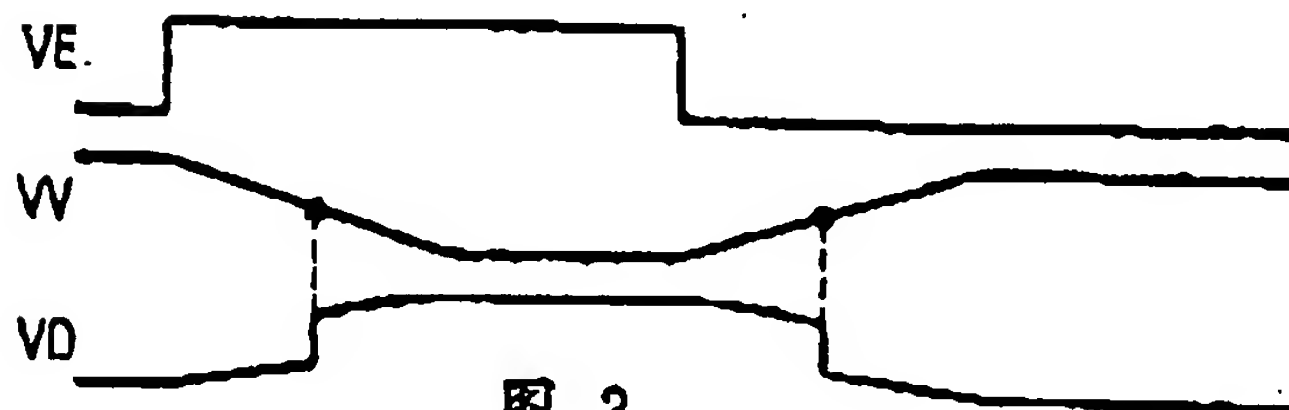


图 3

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.